

대한민국 특허청

KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0056624  
Application Number PATENT-2002-0056624

출원년월일 : 2002년 09월 17일  
Date of Application SEP 17, 2002

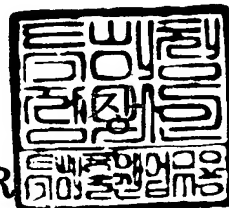
출원인 : 삼성전자 주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 12 월 18 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2002.09.17
【국제특허분류】	H01L
【발명의 명칭】	프로그램 및 소거 특성이 개선된 SONOS EEPROM 및 그 제조방법
【발명의 영문명칭】	SONOS EEPROM having improved programming and erasing performance characteristics and method for fabricating the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	강성택
【성명의 영문표기】	KANG,Sung Taeg
【주민등록번호】	710507-1009919
【우편번호】	138-172
【주소】	서울특별시 송파구 송파2동 삼익아파트 209-1107
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

**【수수료】**

【기본출원료】 20 면 29,000 원

【가산출원료】 5 면 5,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 24 항 877,000 원

【합계】 911,000 원

【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

SONOS EEPROM 및 그 제조방법을 개시한다. 본 발명에 따른 SONOS EEPROM은, 메모리 장소인 전하 트래핑층을 셀의 게이트 양단, 즉 소오스와 드레인 접합 영역에 형성시키되 접합 인접 부위를 국부적으로 두껍게 형성함으로써 전자 충전 영역과 홀 충전 영역을 일치시켜 셀 효율을 향상시킨 것이다. 또한 본 발명에 따른 SONOS EEPROM 제조방법은, 게이트 양단의 전하 트래핑층을 오정렬없이 형성하고 게이트 형성 마스크없이 게이트를 제조하는 것으로, 균일성(uniformity)이 우수한 구조의 셀을 제조할 수 있으며 사진 공정을 사용하지 않음으로써 그로 인한 한계를 극복할 수 있는 것이다.

**【대표도】**

도 2

## 【명세서】

## 【발명의 명칭】

프로그램 및 소거 특성이 개선된 SONOS EEPROM 및 그 제조방법{SONOS EEPROM having improved programming and erasing performance characteristics and method for fabricating the same}

## 【도면의 간단한 설명】

도 1은 종래의 일반적인 SONOS EEPROM을 나타내 보인 도면이다.

도 2는 본 발명의 실시예에 따른 SONOS EEPROM의 단면도이다.

도 3 내지 도 10은 본 발명의 실시예에 따라 SONOS EEPROM을 제조하는 방법을 공정 순서에 따라 도시한 단면도들이다.

도 11은 본 발명의 다른 실시예에 따른 SONOS EEPROM 및 그 제조방법을 설명하기 위한 단면도이다.

## &lt;도면의 주요 부분에 대한 부호의 설명&gt;

100...기판      110, 110a...하부산화막

115...희생층    135...이온주입층

140a...전하 트래핑층    145, 145a...상부산화막

150a...컨트롤 게이트    190...소오스

195...드레인      200...공통 소오스/드레인

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <11> 본 발명은 전원이 공급되지 않아도 데이터가 지워지지 않는 비휘발성 메모리 소자 및 그 제조방법에 관한 것으로, 보다 상세하게는 SONOS(Silicon-Oxide-Nitride-Oxide-Silicon) 셀을 가진 EEPROM(Electrically Erasable Programmable ROM) 및 그 제조방법에 관한 것이다.
- <12> 전기적 고쳐 쓰기 가능한 비휘발성 메모리를 EEPROM으로 부르고 있는데, 플로팅 게이트(floating gate)형 셀을 사용하는 구조가 그동안 널리 이용되었다. 최근 고집적화가 급속히 진행됨에 따라, 종래의 플로팅 게이트형 셀의 축소가 매우 절실하게 요구되고 있지만, 프로그램/소거시 높은 전압이 요구되고 터널 정의 등 공정상의 마진 확보가 어렵기 때문에 더 이상의 축소는 거의 불가능하다. 이러한 이유로 플로팅 게이트형 셀을 대체할 비휘발성 메모리 소자로서 SONOS, FeRAM, SET, NROM 등 다방면의 연구가 진행 중에 있으며, 그 중 SONOS 셀은 플로팅 게이트형 셀을 대체할 차세대 셀로 가장 주목받고 있다.
- <13> 전형적인 SONOS EEPROM은 도 1에 도시한 바와 같다. 도 1을 참조하면, 기판(1) 위에 하부산화막(10), 절화막(40)과 상부산화막(45)으로 구성되는 ONO막(47), 및 컨트롤 게이트(50)의 적층체가 형성되어 있다. 이 적층체 양옆의 기판(1) 내에는 소오스(90)와 드레인(95) 접합 영역이 형성되어 있다.

- <14> 여기서 하부산화막(10)은 터널링산화막이고, 질화막(40)은 메모리(스토리지)층으로서 트랩 사이트 내에 전하를 충전하거나 혹은 충전된 전하를 방출함으로써 셀의 문턱전압( $V_{th}$ )을 제어하여 메모리 기능을 갖는 것이며, 상부산화막(45)은 충전 전하의 손실을 막는 블록킹막(blocking layer)이다. 프로그래밍은 파울러-노드하임 터널링(이하, F-N 터널링) 또는 채널 핫 일렉트론(channel hot electron : CHE) 주입을 이용하게 되는데, 일반적으로 높은 전압이 요구되는 F-N 터널링 방식보다 CHE를 이용한 방식을 채택하고 있다.
- <15> 이와 같이 컨트롤 게이트(50) 하부의 ONO막(47)이 편평(flat)한 적층구조로 되어 있는 종래의 구조에서는, 프로그래밍 효율을 향상시키기 위해서 게이트 인가 전압을 향상시켜야만 한다. 게이트 인가 전압을 향상시키지 않고서 프로그래밍 효율을 향상시키려면 ONO막(47)을 더욱 박막화해야 한다. 이럴 경우 전하 보전성(charge retention)의 열화로 인한 낮은 프로그래밍 효율성과 낮은 신뢰성이 기존 SONOS 셀의 응용에 가장 큰 한계로 작용하고 있다.
- <16> 이러한 SONOS 셀의 한계를 극복하기 위해 미국특허 제5,768,192호에서 Eitan 은 프로그래밍과 독출을 비대칭방향(asymmetrical direction)으로 수행함에 의해 보다 효과적인 셀 동작 조건을 얻을 수 있음을 보여 주었다. CHE 방식을 통해 프로그래밍시 전하의 충전은 드레인 영역에 인접한 부위에서만 일어나고, 이러한 국부적으로 하전된 영역을 통한 문턱전압 차를 통해 "0"과 "1"을 구분할 수 있게 되는 것이다. 드레인 영역에 전압이 가해지는 경우에 비해 소오스 영역, 즉 질화막 내에 전자가 충전되어 있지 않은 영역을 통해 전압이 가해질 경우에 횡(lateral) 방향으로의 전장이 더 낮기 때문에 더 우수한 셀 윈도우를 가질 수 있다. 그러나 이 경우에 있어서도 셀의 크기, 즉 채널 길이가

작아지게 될 경우 CHE를 발생시키기 위해 두꺼운 ONO막을 거쳐서 전압을 인가해야 하므로 펀치쓰루(punch through)나 접합 파괴(junction breakdown) 등 치명적인 문제가 발생하게 될 뿐 아니라, 채널 부위에 셀을 최적화하기 위한 이온주입 공정을 실시할 수 없는 단점을 가지고 있다. 또한 질화막의 길이에 큰 의존성을 갖게 되는데, 이것은 전자의 충전 영역이 채널영역에까지 넓게 분포하는데 반해 홀의 충전 영역은 접합 근처로 한정되어지기 때문이다.

#### 【발명이 이루고자 하는 기술적 과제】

- <17> 본 발명이 이루고자 하는 기술적 과제는 종래에 비해 초단채널(ultra-short channel)을 구현할 수 있고, 질화막 길이에 의존성을 갖지 않는 SONOS EEPROM을 제공하는 것이다.
- <18> 본 발명이 이루고자 하는 다른 기술적 과제는 균일성이 우수한 구조의 셀을 제조할 수 있는 SONOS EEPROM 제조방법을 제공하는 것이다.

#### 【발명의 구성 및 작용】

- <19> 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 SONOS EEPROM은 전자의 충전 영역을 소오스/드레인 접합 영역 가까이 한정하여 주고 홀의 주입 영역을 수직방향으로 늘려준 것이다. 구체적으로 살펴보면, 기판으로부터 하부산화막, 전하 트래핑층, 상부산화막 및 컨트롤 게이트가 순차로 적층되어 있고, 이러한 적층체 옆의 기판 양쪽에 소오스/드레인 접합 영역이 형성되어 있는 SONOS EEPROM에 있어서, 상기 전하 트래핑층의 상기 소오스/드레인 접합 인접 부위 높이를 국부적으로 높게 형성한 것이다.



- <20> 바람직한 실시예에 따르면, 본 발명의 SONOS EEPROM은 기판 내부에 문턱전압( $V_{th}$ ) 조절용 이온주입층이 형성되어 있고, 상기 이온주입층 상부에 하부산화막이 형성되어 있다. 상기 하부산화막 위에는 양측에서 마주보며 바깥쪽의 높이가 높은 두 개의 스페이서 모양의 전하 트래핑층이 위치하며, 상기 전하 트래핑층과 하부산화막을 따라 상부산화막이 형성되어 있다. 상기 상부산화막 위에는 상기 상부산화막과 자기정렬되고 상면이 편평한 컨트롤 게이트가 위치한다. 상기 이온주입층 양측으로는 상기 기판 내에 소오스/드레인 접합 영역이 형성되어 있다.
- <21> 이와 같이, 메모리 장소인 전하 트래핑층을 셀의 게이트 양단, 즉 소오스와 드레인 접합 영역 가까이에 형성시키되 접합 인접 부위를 보다 두껍게 형성함으로써 전자 충전 영역과 홀 충전 영역을 일치시킬 수 있다.
- <22> 상기 다른 기술적 과제를 달성하기 위하여, 본 발명에 따른 SONOS EEPROM 제조방법은 게이트의 형성을 사진공정의 추가없이 진행함으로써 오정렬(misalign)을 극복하여 균일성있게 셀을 제조하는 방법이다.
- <23> 이를 간략히 살펴보면, 기판 상에 하부산화막과 희생층을 차례로 형성한 다음 상기 희생층을 패터닝하여 개구부를 형성한 후, 상기 개구부 내벽에 스페이서 모양의 전하 트래핑층을 형성하고 나서 상기 개구부를 매립하지 않는 정도 두께로 상기 희생층과 전하 트래핑층을 덮는 상부산화막을 형성한다. 상기 상부산화막 위로 상기 개구부를 완전히 매립하는 폴리실리콘층을 형성한 다음, 상기 희생층이 드러날 때까지 평탄화하여 상기 개구부 안에 자기정렬된 컨트롤 게이트를 형성한다. 계속하여, 상기 희생층과 그 아래의 하부산화막을 제거한 다음, 상기 컨트롤 게이트 양측의 기판 내에 소오스/드레인 접합 영역을 형성한다.

- <24> 본 발명에 따른 방법에 있어서, 상기 전하 트래핑층을 형성하기 전에 상기 개구부 바닥의 기판 내부로 이온주입을 실시하여 문턱전압을 조절할 수 있다. 상기 희생층은 상기 전하 트래핑층과 식각 선택비가 있는 막질로 형성하는 것이 좋다. 예를 들면, 상기 희생층은 산화막으로 형성하고, 상기 전하 트래핑층은 실리콘 질화막, 실리콘 산질화막, 폴리실리콘 도트를 포함하는 막 또는 질화물 도트를 포함하는 막으로 형성한다.
- <25> 상기 스페이서 모양의 전하 트래핑층을 형성하는 데에는 에치백(etch back) 또는 경사식각(slope etch)이 이용될 수 있으며, 일단 스페이서를 형성한 다음 에치백에 의하여 상기 스페이서의 높이를 조절할 수도 있다. 상기 폴리실리콘층의 상면을 평탄화하는 단계는 화학적 기계적 연마(CMP)에 의하여 수행함이 바람직하며, 원하는 경우에는 상기 전하 트래핑층이 드러날 때까지 수행한다. 상기 컨트롤 게이트를 형성한 다음에는 상기 컨트롤 게이트를 실리사이드화시키는 단계를 더 포함할 수도 있다.
- <26> 본 발명에서 제안하는 방법으로 제조되는 SONOS EEPROM은 메모리 장소인 전하 트래핑층을 셀의 게이트 양단, 즉 소오스와 드레인 접합 영역에 스페이서 모양으로 형성하되, 희생층으로 개구부를 한정하여 그 안에 형성하게 되므로, 오정렬없이 형성할 수 있어 균일성이 우수한 구조의 셀을 형성할 수 있다. 나아가, 개구부 안을 폴리실리콘층으로 메운 다음 평탄화하여 컨트롤 게이트를 형성하게 되므로, 게이트 형성 마스크없이 게이트를 제조할 수 있으며 사진 공정을 사용하지 않음으로써 그로 인한 한계를 극복할 수 있다.
- <27> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 설명한다.
- 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다.

본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면 상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다.

<28> (제1 실시예)

<29> 도 2는 본 발명의 실시예에 따른 SONOS EEPROM의 단면도이다.

<30> 도 2를 참조하면, SONOS EEPROM은 기판(100) 상에 하부산화막(110a), 전하 트래핑층(140a), 상부산화막(145a) 및 컨트롤 게이트(150a)가 순차로 적층되어 있고, 이러한 적층체 옆의 기판(100) 양쪽에 소오스(190)/드레인(195) 접합 영역이 형성되어 있다. 바람직하게, 상기 SONOS EEPROM은 기판(100) 내부에 문턱전압 조절용 이온주입층(135)을 더 포함한다. 이로써, 최적화된 셀을 구현할 수 있게 된다. 이러한 이온주입층(135)은 터널링산화막인 하부산화막(110a) 아래에 형성되며 소오스(190)/드레인(195) 접합 영역 사이에 위치하게 된다.

<31> 스페이서 모양을 한 전하 트래핑층(140a)은 메모리층으로서, 하부산화막(110a) 위 양측에서 마주보며 바깥쪽의 높이가 높게 위치한다. 전하 트래핑층(140a)은 트랩 사이트 내에 전하를 충전하거나 방출할 수 있어야 하며, 이를 위해 실리콘 질화막, 실리콘 산질화막, 폴리실리콘 도트를 포함하는 막 또는 질화물 도트를 포함하는 막으로 형성될 수 있다. 전하 트래핑층(140a)과 하부산화막(110a)을 따라 형성되어 있는 상부산화막(145a)은 전하 트래핑층(140a)에 충전된 전하의 손실을 막는 블록킹막이다. 한편, 상부산화막(145a) 위에 형성된 컨트롤 게이트(150a)는 상부산화막(145a)과 자기정렬된 것으로, 그

상면이 편평하다. 바람직하게, 전하 트래핑층(140a) 상면, 상부산화막(145a) 상면과 컨트롤 게이트(150a) 상면이 서로 나란하게 형성된다.

<32>        이상과 같이, 본 발명의 실시예에 따른 SONOS EEPROM은 스페이서 모양의 전하 트래핑층(140a)을 포함함으로써 메모리층의 소오스/드레인 접합 인접 부위 높이가 국부적으로 높은 것이다. 전자 충전 영역과 홀 충전 영역이 일치하게 되므로, 종래와 달리 질화막, 즉 메모리층의 길이에 의존성을 가지지 않는다. 그리고, 홀의 주입 영역이 수직방향으로 늘어나고 전자의 충전 영역 역시 한정됨으로써, 고속, 저전압의 프로그래밍이 가능해지고, 이는 소거의 경우에도 마찬가지이다. 또한, 전하 트래핑층을 길이 방향으로 짧게 하여도 높이를 충분히 높게 할 수 있기 때문에, 충분한 양의 전하를 충전 또는 방출할 수 있게 되므로 초단채널(ultra-short channel)을 구현할 수 있다. 따라서, 셀 효율 뿐만 아니라 내구성이 개선되며, 고집적의 2-비트 동작(2-bit operation)이 가능하도록 집적할 수 있다.

<33>        (제2 실시예)

<34>        도 3 내지 도 10은 본 발명의 실시예에 따라 SONOS EEPROM을 제조하는 방법을 공정 순서에 따라 도시한 단면도들이다.

<35>        도 3을 참조하면, 기판(100) 상에 터널링산화막인 하부산화막(110)을 형성한

다. 하부산화막(110)은 기판(100)을 열산화시켜 형성할 수도 있지만, LPCVD(Low Pressure Chemical Vapor Deposition)법에 의해 중온산화막(Middle Temperature Oxide : MTO)을 20 내지 80Å 두께로 증착한 다음에, 그 MTO를 어닐링하는 단계를 수행하여 형성할 수도 있다. 이 때의 어닐링은 가스 분위기로서  $N_2O$ , NO,  $NH_3$  또는 이들 혼합물을 포함하는 것을 사용할 수 있다. 바로 증착된 상태의(as-deposited) MTO는 그 표면에 실리콘 땀글링 본드(dangling bond) 등의 결함을 가지고 있기 쉽지만, 이러한 분위기에서의 어닐링은 결함을 치유하여 MTO의 누설전류 특성과 신뢰성 등을 향상시킨다.

<36> 다음에 도 4는, 하부산화막(110) 상에 후속의 전하 트래핑층과 식각 선택비가 있는 희생층(115)과 감광막을 순차적으로 형성한 후 소정의 마스크를 이용하여 감광막을 패터닝하고, 패터닝된 감광막(120)을 식각 마스크로 이용하여 노출된 부분의 희생층(115)을 식각함으로써 개구부(125)를 형성한 상태의 단면도이다. 희생층(115)은 예를 들어 산화막으로 형성하고, 그 두께는 100Å 내지 500Å으로 형성할 수 있다. 개구부(125)를 형성하기 위한 식각으로는 건식각 또는 건식각과 습식각을 동시에 사용할 수 있다. 희생층(115)은 또한 산화막 중에서도 습식 식각이 잘되는 막질을 이용하는 것이 좋다. 예를 들어, BPSG(Boron Phosphorus Silicate Glass) 또는 USG(Undoped Silicate Glass) 등을 형성하는 것이 좋다. 그러나, 굳이 이러한 산화막이 아니더라도 후속의 전하 트래핑층과 식각 선택비가 있는 막질이라면 희생층(115)으로 사용할 수 있다. 예를 들어, 폴리실리콘층을 사용해도 된다.

<37> 다음에, 감광막(120)을 이온주입 마스크로 하여 문턱전압 조절용 불순물 이온주입(130)을 실시하여 기판(100) 내부에 이온주입층(135)을 형성한다. 예를 들면, p형 불순

물로서 붕소(B)를 원하는 깊이 및 불순물 농도가 되도록 주입한다. 이러한 이온주입 (130)은 문턱전압 조절을 통해 핫 홀 주입 효율을 향상할 수 있게 한다.

<38> 계속하여 도 5를 참조하면, 에싱과 유기 스트립 등의 방법으로 감광막(120)을 제거한 다음, 기판(100) 전면에서 전하 트래핑층용 막질(140)을 증착한다. 이러한 전하 트래핑층용 막질(140)은 메모리층, 즉 메모리 셀의 전하 트래핑층이 되는 것으로, 본 실시예에서는 LPCVD법에 의해 실리콘 질화물을 증착하여 형성한다. 그러나, 실리콘 질화막 대신에 실리콘 산질화막, 폴리실리콘 도트를 포함하는 막 또는 질화물 도트를 포함하는 막을 증착하여도 좋다. 그 두께는 기본적으로는 개구부(125)를 완전히 매립하지 않는 정도의 두께로 하나, 소자의 디자인에 따라 달라지므로 적절히 조절하며, 예를 들어 100 Å 내지 500 Å으로 형성한다.

<39> 도 6을 참조하면, 전하 트래핑층용 막질(140)을 에치백(etch back)하거나 경사식각하여 개구부(125)의 내벽에 스페이서 모양의 전하 트래핑층(140a)을 형성한다. 경사식각이란 기판(100)에 거는 바이어스 전압을 조절하여 식각 가스의 흐름을 경사지게 유도하여 식각하는 것을 말한다. 필요에 따라, 에치백을 통해 전하 트래핑층(140a)의 높이를 조절한다. 즉, 일단 스페이서 모양을 형성한 후 더 식각함으로써 전하 트래핑층(140a)의 높이를 낮추어 개구부(125) 안으로 적절히 밀어 넣는 과정을 수행할 수 있다. 어떤 방법에 의하든지, 전하 트래핑층(140a)을 형성할 때에 사진 공정을 사용하지 않으므로 오정렬 문제없이 균일성있게 형성할 수 있다.

<40> 다음에 도 7에 도시한 바와 같이, 충전 전하의 손실을 막는 블록킹층인 상부산화막(145)을 형성한다. 예를 들면, MTO나 고온산화막(High Temperature Oxide : HTO)을 기판(100) 전면에서 40 내지 100 Å 두께로 증착한 다음, 그것을 고밀도화하기 위해

추가의 어닐링 처리 혹은 산화 공정 등의 열처리, 혹은  $\text{NO}_2$ ,  $\text{NH}_3$ 에 의한 질화로 옥시나이트라이드화한다.

<41> 다음에 도 8을 참조하면, 게이트 전극이 되는 폴리실리콘층(150)을 증착하여 개구부(125) 내부를 완전히 매립한다. 폴리실리콘은 LPCVD법으로  $500^\circ\text{C}$  내지  $700^\circ\text{C}$ 의 온도에서 증착할 수 있으며, 불순물이 도핑되지 않은 상태로 증착한 후 비소(As) 또는 인(P)을 이온주입으로 도핑시켜 도전성을 갖도록 할 수도 있고, 증착시 인-시츄(in-situ)로 불순물을 도핑할 수도 있다.

<42> 다음으로, 도 9는 화학적 기계적 연마(CMP)를 통해 도 8 결과물 상면을 평탄화하여 컨트롤 게이트(150a)를 형성한 결과를 보여준다. 도 9에 도시한 대로, 평탄화하여 연마하는 정도를 조절하여 전하 트래핑층(140a) 상면이 드러날 때까지 수행할 수도 있다. 도면에서 참조번호 145a는 평탄화에 의해 패터닝된 상부산화막을 가리킨다. 이와 같이 컨트롤 게이트(150a)를 형성함에 있어서 게이트 형성 마스크없이 자기정렬적으로 제조할 수 있으므로, 오정렬 문제없이 균일성이 우수한 구조의 셀을 형성할 수 있다. 그리고, 사진 공정을 사용하지 않음으로써 그로 인한 한계를 극복할 수 있다.

<43> 도 10을 참조하면, 희생층(115)과 그 아래의 하부산화막(110)을 제거한 후 이온주입을 실시하여 소오스(190)/드레인(195) 접합 영역을 형성한다. 참조번호 "110a"는 일부분 제거 후 남아 있는 하부산화막을 가리킨다. 희생층(115)을 산화막으로 형성한 경우라면,  $\text{H}_2\text{O}$ 와 HF의 혼합액을 사용하여 전하 트래핑층(140a)에 대하여 선택적으로 제거할 수 있다. 한편, 같은 산화막 계열이라도 희생층(115)은 BPSG나 USG 등의 무른 막질로 형성하고, 하부산화막(110a)과 상부산화막(145a)은 MTO(또는 HTO)의 덜 무른 막질을 사용함으로써, 희생층(115)을 제거할 때에 하부산화막(110a)과 상부산화막(145a)이 손상될 염

려를 줄일 수 있다. 희생층(115)으로서 산화막을 형성한 경우라면 도 10을 참조하여 설명하는 이 단계에서 제거하지만, 폴리실리콘층으로 형성한 경우라면 도 8에서와 같이 게이트 전극이 되는 폴리실리콘층(150)을 증착하기 전에 제거하여야 할 것이다. 폴리실리콘층으로 형성한 희생층을 제거하는 데에는  $\text{HNO}_3$ 와  $\text{HF}$ 의 혼합액 또는  $\text{NH}_4\text{OH}$ 를 이용할 수 있다.

<44> 소오스(190)/드레인(195) 접합 영역까지 형성한 다음에는 컨트롤 게이트(150a)를 실리사이드화시키는 공정을 더 수행할 수도 있다. 예를 들어, 컨트롤 게이트(150a)를 코발트 실리사이드( $\text{CoSi}_x$ ), 텅스텐 실리사이드( $\text{WSi}_x$ ) 또는 티타늄 실리사이드( $\text{TiSi}_x$ ) 등으로 변화시킬 수 있다. 이러한 실리사이드는 폴리실리콘으로 된 컨트롤 게이트(150a) 위에 코발트, 텅스텐 또는 티타늄 등의 금속을 적층한 후 RTA(Rapid Thermal Annealing)와 같은 열처리를 실시하여 폴리실리콘에서 공급된 실리콘과 적층된 금속을 반응시켜 얻을 수 있다. RTA는 예를 들어 800 내지 850℃에서 20초 정도 수행할 수 있다. 미반응된 금속은  $\text{NH}_4\text{OH}$ ,  $\text{H}_2\text{O}_2$ 와  $\text{H}_2\text{O}$ 의 혼합액을 사용하여 제거할 수 있다. 이렇게 형성하는 실리사이드는 도프트 폴리실리콘에 비하여 저항이 낮으므로 소자의 구동 속도를 개선할 수 있다.

<45> 이상의 방법을 따라 제조되는 SONOS EEPROM은 전하 트래핑층을 셀의 게이트 양단, 즉 소오스와 드레인 접합 영역에 스페이서 모양으로 형성한 것으로, 전자 충전 영역과 홀 충전 영역을 일치시켜 셀 효율을 증가시킬 수 있고, 또한 희생층으로 개구부를 한정하여 그 안에 스페이서를 형성하는 방식으로 형성하기 때문에, 오정렬없이 형성할 수 있어 균일성이 우수하다. 나아가, 개구부 안을 폴리실리콘층으로 메운 다음 평탄화하여 컨



트를 게이트를 형성하게 되므로, 게이트 형성 마스크없이 게이트를 제조할 수 있으며 사진 공정을 사용하지 않음으로써 그로 인한 한계를 극복할 수 있다.

<46> (제3 실시예)

<47> 도 11은 본 발명의 다른 실시예에 따른 SONOS EEPROM 및 그 제조방법을 설명하기 위한 단면도이다.

<48> 상기 제2 실시예에서 도 3 내지 도 10을 참조하여 설명한 단계까지 진행한다. 이어서, 도 10의 희생층(115)과 그 아래의 하부산화막(110)을 제거한다. 희생층(115)과 하부산화막(110)을 제거하는 것과 동시에 또는 그 전/후로 도 11에서와 같이 컨트롤 게이트(150a) 중앙 부분을 오픈하여 기판(100)을 노출시킨다. 그런 다음, 기판(100) 전면에 대하여 이온 주입을 실시하여 소오스(190)/드레인(195) 접합 영역과 공통 소오스/드레인(200)을 동시에 형성한다. 이러한 방법에 의하여, 1-비트 동작하는 SONOS EEPROM을 얻을 수 있다.

<49> 이와 같은 방법은 상기 제2 실시예에서 컨트롤 게이트(150a) 중앙 부분을 오픈하는 사진 식각 공정이 더 추가되는 것 이외에는 상기 제2 실시예와 동일한 것으로 이해하면 된다.

<50> 이상에서는 본 발명의 실시예들에 대하여 설명하였으나, 본 발명은 상기한 실시예들에만 한정되는 것은 아니고 다양한 변경이나 변형이 가능하다. 본 발명은 첨부된 청구범위에 의해 정의되는 본 발명의 사상 및 범주 내에 포함될 수 있는 대안, 변형 및 등가를 포함한다.

**【발명의 효과】**

- <51> 본 발명에서 제안하는 SONOS EEPROM은 셀 효율의 저하없이 전자 충전 영역과 홀 충전 영역을 접합 영역 부위에 한정하여 일치시킨 것이다. 프로그램시 좁은 영역의 질화막에 전자가 충전되기 때문에 그 효율이 향상된다.
- <52> 특히, 전하 트래핑층을 셀의 게이트 양단, 즉 소오스와 드레인 접합 영역에 형성시키되 접합 인접 부위를 국부적으로 두껍게 형성함으로써 홀의 주입 영역이 수직방향으로 늘어나게 되므로 핫 홀 주입에 의한 소거시에도 프로그램된 영역을 효율적으로 소거할 수 있다. 따라서, 본 발명의 의하면 프로그램 및 소거 특성(내구성)이 개선된다.
- <53> 또한, 전하 트래핑층을 길이 방향으로 짧게 하여도 높이를 충분히 높게 할 수 있기 때문에 충분한 양의 전하를 충전 또는 방출할 수가 있다. 따라서, 채널 길이를 작게 하여 고집적화하기에 유리하다.
- <54> 나아가, 본 발명에 따른 SONOS EEPROM 제조방법에서는 게이트 양단의 전하 트래핑층을 오정렬없이 형성하고, 게이트 형성 마스크없이 컨트롤 게이트를 제조할 수 있어 균일성이 우수한 구조의 셀을 구현할 수 있다. 사진 공정을 사용하지 않음으로써 그로 인한 한계를 극복할 수 있을 뿐만 아니라, 채널 부위에 셀을 최적화하기 위한 이온주입 공정을 용이하게 실시할 수도 있다.
- <55> 따라서, 본 발명에 의하면 고속, 저전압의 프로그래밍이 가능하고, 프로그램 및 소거 특성이 우수하며, 1-비트 동작뿐만 아니라 2-비트 동작이 가능하도록 고집적할 수 있는 초단채널 SONOS EEPROM을 얻을 수 있다.

**【특허청구범위】****【청구항 1】**

기관으로부터 하부산화막, 전하 트래핑층, 상부산화막 및 컨트롤 게이트가 순차로 적층되어 있고, 이러한 적층체 옆의 기관 양쪽에 소오스/드레인 접합 영역이 형성되어 있는 SONOS EEPROM에 있어서,

상기 전하 트래핑층의 상기 소오스/드레인 접합 인접 부위 높이를 국부적으로 높게 형성한 것을 특징으로 하는 SONOS EEPROM.

**【청구항 2】**

제1항에 있어서, 상기 전하 트래핑층은 상기 하부산화막 위 양측에서 마주보는 두 개의 스페이서로 형성되며, 상기 상부산화막과 컨트롤 게이트는 상기 두 개의 스페이서 사이에 자기정렬되어 있는 것을 특징으로 하는 SONOS EEPROM.

**【청구항 3】**

제2항에 있어서, 상기 전하 트래핑층 상면, 상부산화막 상면과 컨트롤 게이트 상면이 서로 나란하게 형성되어 있는 것을 특징으로 하는 SONOS EEPROM.

**【청구항 4】**

제1항에 있어서, 상기 하부산화막 아래의 상기 기관 내부에는 문턱전압 조절용 이온주입층이 더 형성되어 있는 것을 특징으로 하는 SONOS EEPROM.

**【청구항 5】**

제1항에 있어서, 상기 전하 트래핑층은 실리콘 질화막, 실리콘 산질화막, 폴리실리콘 도트를 포함하는 막 또는 질화물 도트를 포함하는 막인 것을 특징으로 하는 SONOS EEPROM.

**【청구항 6】**

기판 내부에 형성된 문턱전압 조절용 이온주입층;

상기 이온주입층 상부에 형성된 하부산화막;

상기 하부산화막 위 양측에서 마주보며 바깥쪽의 높이가 높은 두 개의 스페이서 모양의 전하 트래핑층;

상기 전하 트래핑층과 하부산화막을 따라 형성된 상부산화막;

상기 상부산화막 위에 자기정렬되고 상면이 편평한 컨트롤 게이트; 및

상기 이온주입층 양측으로 상기 기판 내에 형성된 소오스/드레인 접합 영역을 포함하는 것을 특징으로 하는 SONOS EEPROM.

**【청구항 7】**

제6항에 있어서, 상기 전하 트래핑층 상면, 상부산화막 상면과 컨트롤 게이트 상면이 서로 나란하게 형성되어 있는 것을 특징으로 하는 SONOS EEPROM.

**【청구항 8】**

제6항에 있어서, 상기 전하 트래핑층은 실리콘 질화막, 실리콘 산질화막, 폴리실리콘 도트를 포함하는 막 또는 질화물 도트를 포함하는 막인 것을 특징으로 하는 SONOS EEPROM.

**【청구항 9】**

제6항에 있어서, 상기 컨트롤 게이트 중앙 부분이 오픈되어 기판이 드러나며, 드러난 기판 내부에 공통 소오스/드레인 접합 영역이 더 형성되어 있는 것을 특징으로 하는 SONOS EEPROM.

**【청구항 10】**

- (a) 기판 상에 하부산화막을 형성하는 단계;
- (b) 상기 하부산화막 상에 희생층을 형성한 다음 상기 희생층을 패터닝하여 개구부를 형성하는 단계;
- (c) 상기 개구부 내벽에 스페이서 모양의 전하 트래핑층을 형성하는 단계;
- (d) 상기 개구부를 매립하지 않는 정도 두께로 상기 희생층과 전하 트래핑층을 덮는 상부산화막을 형성하는 단계;
- (e) 상기 상부산화막 위로 상기 개구부를 완전히 매립하는 폴리실리콘층을 형성하는 단계;
- (f) 상기 희생층이 드러날 때까지 상기 폴리실리콘층의 상면을 평탄화하여 상기 개구부 안에 자기정렬된 컨트롤 게이트를 형성하는 단계;
- (g) 상기 희생층과 그 아래의 하부산화막을 제거하는 단계; 및
- (h) 상기 컨트롤 게이트 양측으로 상기 기판 내에 소오스/드레인 접합 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 SONOS EEPROM 제조방법.

**【청구항 11】**

제10항에 있어서, 상기 희생층은 상기 전하 트래핑층과 식각 선택비가 있는 막질로 형성하는 것을 특징으로 하는 SONOS EEPROM 제조방법.

**【청구항 12】**

제10항에 있어서, 상기 희생층은 산화막으로 형성하는 것을 특징으로 하는 SONOS EEPROM 제조방법.

**【청구항 13】**

제10항에 있어서, 상기 전하 트래핑층은 실리콘 질화막, 실리콘 산질화막, 폴리실리콘 도트를 포함하는 막 또는 질화물 도트를 포함하는 막으로 형성하는 것을 특징으로 하는 SONOS EEPROM 제조방법.

**【청구항 14】**

제10항에 있어서, 상기 (b) 단계와 (c) 단계 사이에, 상기 개구부 바닥의 기판 내부로 문턱전압 조절용 이온주입을 실시하는 단계를 더 포함하는 것을 특징으로 하는 SONOS EEPROM 제조방법.

**【청구항 15】**

제10항에 있어서, 상기 (c) 단계는,  
상기 개구부를 매립하지 않는 정도 두께로 전하 트래핑층용 막질을 증착하는 단계;  
및

상기 희생층의 상면이 드러날 때까지 에치백(etch back)하여 상기 개구부의 내벽에 상기 전하 트래핑층용 막질로 된 스페이서를 형성하는 단계를 포함하는 것을 특징으로 하는 SONOS EEPROM 제조방법.

【청구항 16】

제15항에 있어서, 상기 스페이서를 더 에치백하여 상기 개구부보다 안쪽에 밀어 넣는 단계를 더 포함하는 것을 특징으로 하는 SONOS EEPROM 제조방법.

【청구항 17】

제10항에 있어서, 상기 (c) 단계는,

상기 개구부를 매립하지 않는 정도 두께로 상기 전하 트래핑층용 막질을 형성하는 단계; 및

상기 희생층의 상면이 드러날 때까지 경사식각(slope etch)하여 상기 개구부의 내벽에 상기 전하 트래핑층용 막질로 된 스페이서를 형성하는 단계를 포함하는 것을 특징으로 하는 SONOS EEPROM 제조방법.

【청구항 18】

제17항에 있어서, 상기 스페이서를 에치백하여 상기 개구부보다 안쪽에 밀어 넣는 단계를 더 포함하는 것을 특징으로 하는 SONOS EEPROM 제조방법.

【청구항 19】

제10항에 있어서, 상기 (f) 단계는 화학적 기계적 연마(CMP)에 의하여 수행하는 것을 특징으로 하는 SONOS EEPROM 제조방법.

**【청구항 20】**

제10항에 있어서, 상기 (f) 단계는 상기 전하 트래핑층이 드러날 때까지 수행하는 것을 특징으로 하는 SONOS EEPROM 제조방법.

**【청구항 21】**

제10항에 있어서, 상기 (f) 단계 이후, 상기 컨트롤 게이트를 실리사이드화시키는 단계를 더 포함하는 것을 특징으로 하는 SONOS EEPROM 제조방법.

**【청구항 22】**

제10항에 있어서, 상기 (f) 단계와 (g) 단계 사이에, 상기 컨트롤 게이트 중앙 부분을 오픈하여 상기 기판을 노출시키는 단계를 더 포함하여, 상기 (h) 단계를 수행하는 동안 상기 노출된 기판 내부에도 공통 소오스/드레인 접합 영역을 형성하는 것을 특징으로 하는 SONOS EEPROM 제조방법.

**【청구항 23】**

제10항에 있어서, 상기 (g) 단계와 (h) 단계 사이에, 상기 컨트롤 게이트 중앙 부분을 오픈하여 상기 기판을 노출시키는 단계를 더 포함하여, 상기 (h) 단계를 수행하는 동안 상기 노출된 기판 내부에도 공통 소오스/드레인 접합 영역을 형성하는 것을 특징으로 하는 SONOS EEPROM 제조방법.

**【청구항 24】**

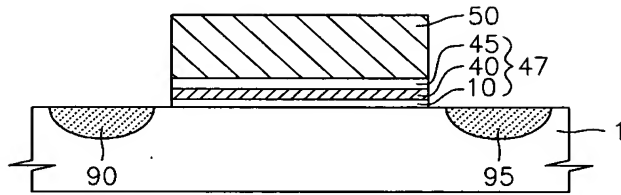
제10항에 있어서, 상기 (g) 단계와 동시에, 상기 컨트롤 게이트 중앙 부분을 오픈하여 상기 기판을 노출시키는 단계를 더 포함하여, 상기 (h) 단계를 수행하는 동안 상기



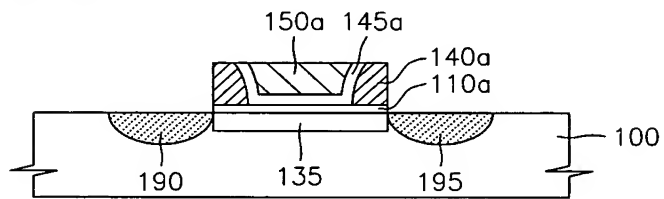
노출된 기판 내부에도 공통 소오스/드레인 접합 영역을 형성하는 것을 특징으로 하는 SONOS EEPROM 제조방법.

## 【도면】

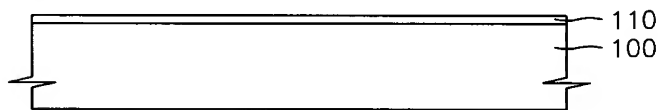
【도 1】



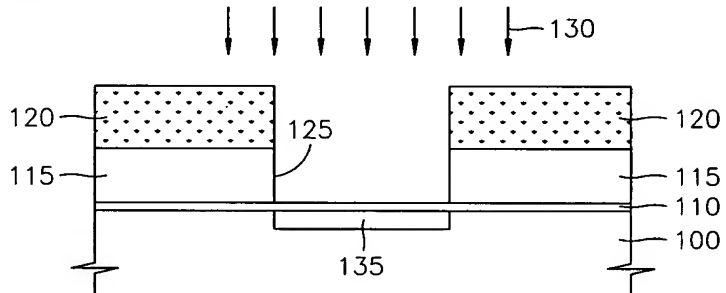
【도 2】



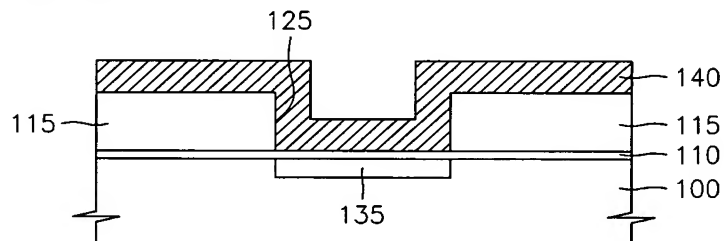
【도 3】



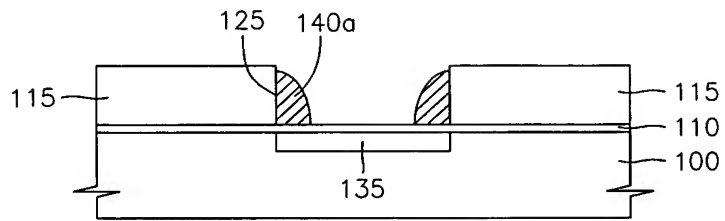
【도 4】



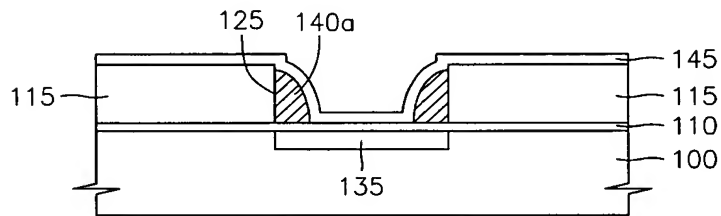
【도 5】



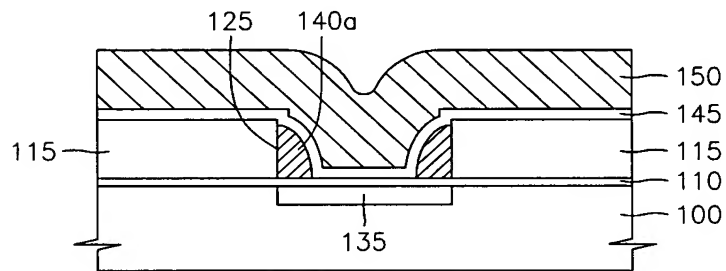
【도 6】



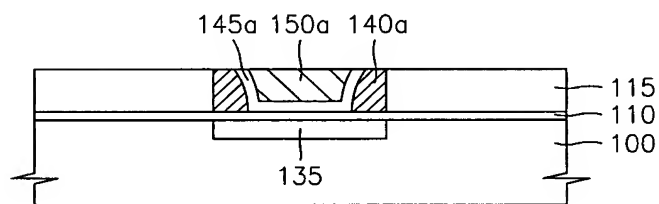
【도 7】



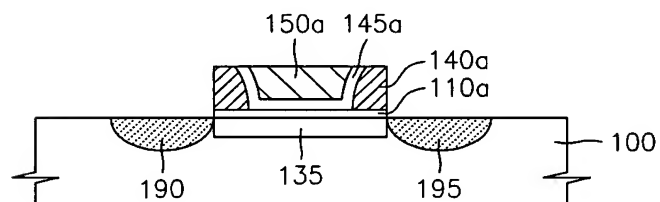
【도 8】



【도 9】



【도 10】



【도 11】

